

新型微电子技术单粒子效应研究面临的挑战

郭红霞 王 伟 罗尹虹 赵 雯 郭晓强 张科营

(西北核技术研究所 西安 710024)

摘要 随着器件特征尺寸的减小,单粒子效应成为影响 CMOS 工艺空间辐射环境可靠性的关键因素之一。未来航天和国防系统需要了解新型工艺中的单粒子效应损伤机制及其加固方法,包括在器件几何尺寸和材料方面的改变如何影响到能量淀积、电荷收集、电路翻转、参数退化等等。分析了随着特征尺寸减小,在高速数字电路中的单粒子瞬态效应 SET 的影响,包括由质子的直接电离作用产生的单粒子效应、粒子能量效应和非直接电离对单粒子效应的影响。对可能替代体硅器件的新型器件单粒子能力进行了简要介绍。

关键词 单粒子瞬态,软错误率,单粒子功能中断

中图分类号 TL99, TN47

随着空间技术、核动力及核武器的发展,辐射环境与电子技术的关系愈来愈密切。目前,硅集成电路 CMOS IC 占集成电路的主导地位,随着其向深亚微米、超深亚微米方向快速发展,集成电路的特征尺寸不断减小,辐射损伤效应更为显著,以往不明显的效应也随之突出而成为新损伤因素^[1]。抗辐射电子学已成为一门综合性很强的边缘学科,发挥着愈来愈重要的作用^[2]。

随着器件特征尺寸的减小,导致存储单元发生翻转的临界电荷也减小^[3]。电路集成度提高,存储器的单粒子翻转(Single Event Upsets, SEU)从单位翻转转为多位翻转(Multiple-bit Upsets, MBU)。工作频率和速度的不断提高,单粒子瞬态(Single Event Transient, SET)逐渐成为影响时序电路和组合电路的主要因素^[4],并限制了数字电路的工作速度。还出现了更复杂的单粒子失效模式,如单粒子功能中断(Single Event Functional Interrupts, SEFI)^[5]。不仅空间辐射环境下工作的电子学系统会出现单粒子效应,高空和地面工作的系统可靠性也面临着单粒子效应的问题,主要是中子和 α 粒子引起的单粒子效应^[6,7]。

对于体硅、SOI(Silicon on Insulator)体硅和 SOI MOS 工艺,图 1 给出了它们的 SET 和 SEU 的 LET 阈值随器件特征尺寸减小的发展趋势^[8]。发生 SEU 的 LET 阈值随着特征尺寸不断减小,SET 也是如此,小于 0.25 μm 的体硅对 α 粒子较为敏感,SOI 工艺在 90 nm 左右较为敏感^[9]。图 2 为地面测量的 CMOS SRAMs 由中子引起的单粒子软错误率随特征尺寸减小的规律^[10]。软错误发生的速率称为软错误率(Soft

Error Rates, SER)。通常采用特定时间内的失效次数(Failure in Time, FIT)描述软错误的可靠性问题^[11],由图 2,随着特征尺寸的减小, SER 先迅速增加,继而趋于饱和,再呈略微下降趋势。但是对于单只 SRAM 器件,由于其集成度大大增加,其 SER 还是增加的。

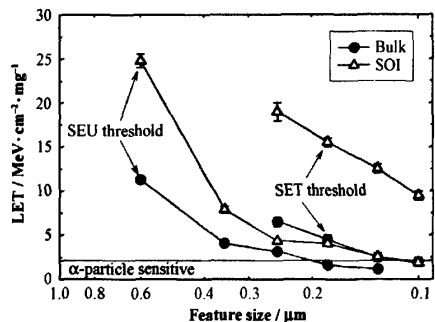


图 1 体硅和 SOI 工艺 SET、SEU 阈值随尺寸减小的规律^[12]

Fig.1 SET and SEU threshold LET as a function of scaling for bulk and SOI MOS technologies^[12].

1 数字电路的单粒子瞬态DSET

上世纪 80 年代发现了一种重要的单粒子问题,即组合逻辑和嵌入式核逻辑的单粒子效应。1984 年,Intel 的 May 等用动态故障成像实验技术演示了单粒子效应从局部扰动逐渐扩散为大量电路故障的动态过程^[13]。1987 年,Koga 等^[14]报道了某微处理器 ALU 中的 DSET(Digital Single Event Transient)。此后有许多关于组合逻辑单粒子效应的研究,但多针对存储器翻转^[15]。90 年代后期,组合电路中的单

第一作者:郭红霞,女,1964 年出生,2002 年 3 月西安电子科技大学微电子学与固体电子学获博士学位,研究员,硕士生导师,

主要从事集成电路空间辐射效应模拟试验技术和数值模拟研究

收稿日期:2010-01-13,修回日期:2010-05-20

粒子效应重获关注。研究发现,随着器件特征工艺尺寸减小,存储器和组合逻辑产生的软错误率间的比例向后者倾斜,即后者的软错误率最终将超过前者^[16];且时钟频率的增大也会导致后者的软错误增加^[17]。2000年以来,SET现象更大受关注^[18,19]。

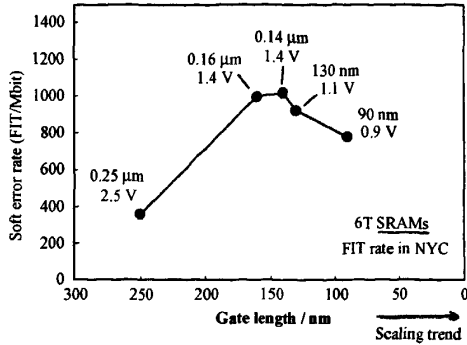


图2 地面测量的 CMOS SRAMs 由中子引起的单粒子软错误随特征尺寸减小的规律^[18]

Fig.2 Measured terrestrial neutron SER scaling trend for CMOS SRAMs^[18].

带电粒子轰击电路的敏感节点,会产生一个瞬态脉冲,如其发生在组合逻辑节点并收集足够的电荷,则会沿着数据通路向下传播,有可能被下一级时序单元锁存,变为“持久”性的错误,此类发生在组合逻辑节点的瞬态脉冲称为 DSET。DSET 被下一级时序单元俘获至少须满足四个条件^[20]: (1)粒子轰击产生的脉冲具有足够的宽度和高度,能沿电路传播; (2)存在一条从被轰击节点到下一级时序单元的敏化路径; (3)DSET 传播到下一级时序单元时须满足该时序单元建立和保持时间要求; (4)在同步电路中, DSET 须在有效时钟沿到达。

DSET 要演变为时序单元的 SEU,须有上述条件(2)的敏化路径,如无该敏化路径,则发生逻辑屏蔽。此外, DSET 在传播过程中还有可能发生衰减、压缩或者展宽。发生衰减,是被轰击节点处产生的 DSET 脉冲宽度较小或未达满幅度,则其宽度在传播过程中不断减小、高度不断降低,乃至最终消失;压缩是 DSET 脉冲达满幅度但宽度变小;展宽是 DSET 传播过程中保持满幅度且宽度也在增加^[21]。

传播到下一级时序单元输入的 DSET 脉冲,可能被该时序单元锁存,称为 DSET 被“俘获”。图3为 DSET 脉冲俘获的时序图,有最早和最迟俘获,还有两个未俘获事件。若该时序单元的有效时钟沿为下降沿,过早或过迟的 DSET 脉冲均不被俘获。通常用敏感窗口(Window of Vulnerability, WOV)描述 DSET 被俘获概率。 $WOV = W_{DSET} - t_{setup} - t_{hold}$, 其中, W_{DSET} 是 DSET 脉冲宽度, t_{setup} 是建立时间, t_{hold} 是保持时间, DSET 被俘获概率 $P = WOV / T_{clock}$ 。

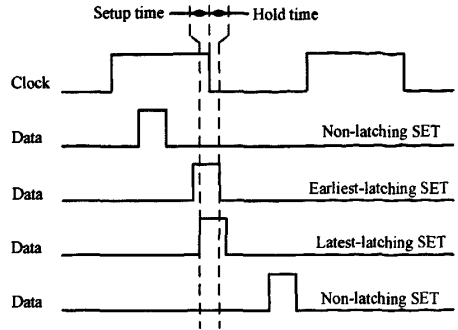


图3 DSET 的俘获
Fig.3 Schematics of DSET capture.

在较高频率下,先进工艺的组合逻辑引起的软错误占主导地位。这主要归因于:

(1) 随着频率增大,单位时间内时钟沿的数量增加,SET 被俘获概率也增加。研究表明,DSET 引起的软错误随时钟频率增加^[22]。对于当代的高频电路,大部分 DSET 脉冲都能被俘获。

(2) 随着工艺尺寸的缩减,节点电容减小,电源电压降低,代表逻辑“高”状态的电荷量降低,则相同通量的粒子产生更多的具有足够高度和宽度的 DSET 脉冲,导致 WOV 增大。

(3) 随着门延迟的减小,能无衰减传播的脉冲宽度和高度均减小。

(4) 在相同 LET 值下, DSET 脉冲宽度和 WOV 随着工艺进步而增加,器件的软错误截面(敏感区的面积)随工艺尺寸的缩减而增加。

对于超深亚微米工艺下,数字组合电路中的 SET 脉冲宽度可达数百皮秒,如高端 CPU 和某些集成电路的时钟周期为 300~500 ps,这样 SET 脉冲很易像正常的信号一样沿着组合逻辑传播并被末端的锁存器捕获,形成持久错误^[23,24]。

2 质子的直接电离作用

随着器件特征尺寸的减小,存储器发生单粒子翻转的临界电荷减小,SRAM 单粒子翻转效应更加严重。近期发现,65 nm 和 45 nm SRAMs 对低能质子直接电离作用造成的单粒子效应非常严重^[25]。图4为 65 nm IBM SOI SRAM 的单粒子翻转截面随入射质子能量的变化,2 MeV 以下质子的 SEU 截面数据比 10 MeV 以上质子的差不多高两个量级。随着质子能量减小,质子直接电离的 LET 增加,这表明 SEU 由质子的直接电离作用能量损失造成^[26]。但是,以往的质子单粒子试验中,质子能量低于某个阈值后观测不到单粒子翻转效应^[27](图5)。

以前的数字 CMOS ICs,质子引起的翻转是质子非直接电离造成的损伤,即质子和 IC 材料发生核反应而引起的翻转。但 1×10^5 个质子只有一此发

生核反应，即使空间环境的质子通量较高，发生单粒子效应的概率也很小。但若质子通过直接电离作用于 IC 而产生 SEU，则低能质子直接电离造成的 SEU 就须予以特别重视^[28]。

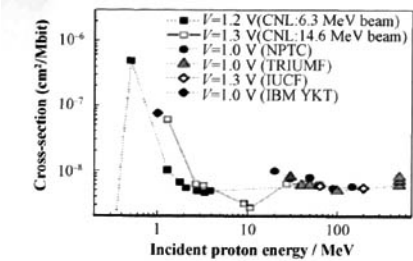


图 4 65 nm 器件随质子能量单粒子翻转截面曲线^[29]
Fig.4 SEU cross section vs. proton energy for 65 nm SOI SRAMs^[29].

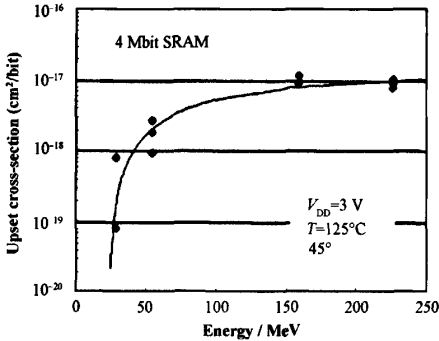


图 5 大尺寸器件随质子能量单粒子翻转截面曲线^[30]
Fig.5 SEU cross section vs. proton energy for sub-micrometer feature sizes^[30].

3 粒子能量效应和非直接电离

在能高粒子环境中，CMOS 工艺多层布线高 Z 材料对集成电路的单粒子效应有很大影响^[31]。高能质子或高能重离子与高 Z 材料(如钨)作用产生的次级粒子在器件敏感区域沉积能量，加剧了器件的损伤。图 6 是两家美国实验室得到的 256 Kbit CMOS SRAM 的 SEU 模拟实验数据，低能离子由 BNL (Brookhaven National Laboratory)完成，高能离子在 TAMU (Texas A&M University)进行。高 LET 截面的数据点几乎重合，但两实验室的较低 LET(<10 MeV cm²/mg)的曲线都有一个拖尾，在 LET 值为 1.5 MeV cm²/mg 时，仍测量到翻转截面。TAMU 的实验数据的入射有效 LET 为 3~10 MeV cm²/mg，比 BNL 的数据高近一个量级。值得注意的是图 6 中低能碳离子(1 MeV/u)结果，该能量的重离子能穿越数微米进入器件有源区，但未测量到翻转效应。理论计算也表明^[32]，低于库仑势垒的 1 MeV/u 碳离子，并不导致翻转效应。

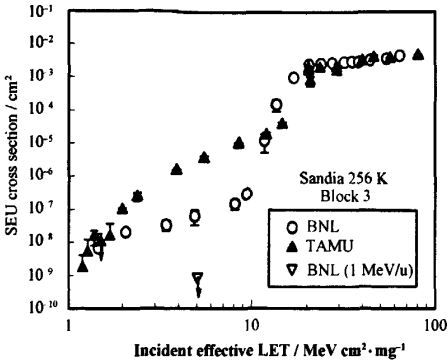


图 6 256 K CMOS SRAM 在两个不同离子能量模拟源的 SEU 实验数据^[33]
Fig.6 Measured SEU cross section in a 256 Kbit SRAM taken with low and high energy heavy ions^[33].

Reed R A 等^[33]研究了加固的 4 Mbit SRAM，由于空间环境的高能离子或质子与高 Z 材料的核反应，导致单粒子翻转出错概率近 3 个量级地高于基于地面实验的预估(图 7)，可见核反应对 ICs 的空间轨道失效有重要影响。实际空间轨道测量和改进后模型预估结果较为一致，而传统的预估方法与实际空间轨道测量的结果相差近 500 倍。传统的预估模型高估了器件的单粒子能力^[34]。

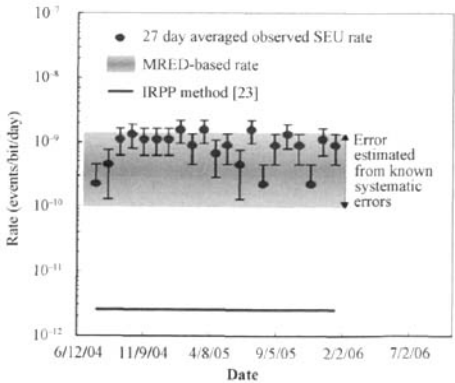


图 7 预估方法计算结果与实际观测结果的比较^[34]
Fig.7 Comparisons of observed SEU rate with predicted results^[34].

较高 LET 的二次粒子引起的翻转概率可能大于比入射重离子，对传统的处理单粒子翻转实验数据的方法必须修正。有效 LET 值的概念应作重新评价，因为二次粒子不遵循与入射角度的余弦定律^[35]须建立新的方法分析以处理重离子数据。例如，应以能量、入射角度、垂直入射 LET 为函数，而不能笼统地用有效 LET 值来代替所有概念。有效 LET 值概念验证、基于直接电离的单一灵敏体积 LET 分布函数，对现有的重离子翻转出错率的预估方法有直接影响。正确的预估空间轨道的翻转率须考虑重

离子的核反应效应, 需完成大量的多能量点的模拟实验, 并开展核物理粒子输运模拟计算来确定二次粒子的分布。

4 单粒子功能中断

随着集成电路的复杂化, 出现了单粒子功能中断的失效模式 SEFI。这需对器件进行重新配置或重新加固, 才能使电路从 SEFI 恢复正常。SEFI 的类型划分也因电路名目繁多而趋于复杂。以基于 SRAM 的 FPGAs 为例^[36], Virtex-II 至少包括三种 SEFI 失效模式: 重新上电 Power-on-set (POR) SEFI、SelectMAP (SMAP) SEFI 和帧地址寄存器(Frame Address Register, FAR) SEFI。Virtex-IV 出现了至少六种失效模式^[13], 即上述三种模式加上全局信号 Global Signal SEFI、回读 Readback SEFI 和刷新 Scrub SEFI。在轨卫星由 SEFI 引起的失效概率虽然较低, 但一旦出现, 就非常致命^[37]。

5 化合物半导体器件与其他

化合物半导体器件具有很好的抗总剂量特性, 因为它们没有栅或隔离氧化层, 一般认为化合物半导体器件对总剂量效应是免疫的。但与硅器件相比, 化合物半导体器件对单粒子效应更敏感: 后者的放大机制导致器件电荷收集效率更高, 另外, 它们一般是高速、高频器件, SET 也更敏感^[38]。

预计碳基纳米电子学, 如碳纳米管(Carbon Nanotubes, CNTs)或石墨器件对单粒子效应可能不敏感, 这结论当需数据支持。但是, 碳基器件与其它芯片集成使用, 如用 CMOS 电路作为其输入、输出和驱动等, 则此类集成芯片的单粒子效应还取决于所用 CMOS 工艺的外围电路的抗单粒子能力^[39]。

有可能替代 CMOS 闪存的相变存储器(Phase Change Memories, PCM)和磁性非挥发性存储器(Magnetic Non-volatile Memories, 或 Magnetoresistive Random Access Memory, MRAM)的抗总剂量能力良好, 抗单粒子能力也很强^[40]。但与碳基器件一样, 其抗辐射能力取决于所用 CMOS 工艺的外围电路的抗辐射能力。

参考文献

- Philippe Roche, Commercial 65nm CMOS Technology for Space Applications: Heavy Ion, Proton and Gamma Test Results and Modeling, 2009 Radiation Effects on Components and Systems, September 2009
- Black J D, Ball D R, *et al.* IEEE Trans Nucl Sci, 2008, 55(6): 2943–2950
- Uznanski S. Single Event Upset and Multiple Cell Upset Modeling in Commercial Bulk CMOS 65nm SRAMs, 2009 Radiation Effects on Components and Systems, 2009
- Blum D R. IEEE Trans Nucl Sci, 2006, 53(3): 1564–1571
- Philippe Adell. Assessing and Mitigating Radiation Effects in Xilinx FPGAs, JPL Publication 2008
- 郭红霞. 集成电路电离辐射效应数值模拟及 X 射线剂量增强效应研究. 博士论文. 西安电子科技大学, 2002
Guo Hongxia, Numerical simulation of ionizing radiation effects and study on the X-ray Dose enhancement effects for integrated circuit, a dissertation submitted to xidian university, 2002
- Dodd P E, Shaneyfelt M R, Schwank J R, *et al.* Future Changes in radiation effects. 10th European Conference on radiation Effects on Components and Systems, 2009
- Amusan A F, Witulski L W, Massengill, *et al.* IEEE Trans Nucl Sci, 2006, 53(4): 569–576
- Shaneyfelt M R. Effects of Moisture on Radiation-Induced Degradation in CMOS SOI Transistors. 2009 Radiation Effects on Components and Systems, 2009
- Dodd P E, Shaneyfelt M R, Felix J A, *et al.* IEEE Trans Nucl Sci, 2004, 51(6): 832–841
- Sexton F W, Fu J S, *et al.* IEEE Trans Nucl Sci, 1989, 36(6): 2311–2319
- Daisuke Kobayashi. Large SET Broadening in a Fully-Depleted SOI Technology-Mitigation with Body Contacts. 2009 Radiation Effects on Components and Systems, 2009
- May T C, Scott G L, Meieran E S, *et al.* Dynamic Fault Imaging of VLSI Random Logic Devices. Proceeding of 22nd International Reliability Physics Symposium, 1984. 281–283
- Koga R, Kolasinski W A. IEEE Trans Nucl Sci, 1987, 34(1): 46–51
- Diehl-Nagle S E, Vinson J E, Peterson E L. IEEE Trans Nucl Sci, 1984, 31(6): 1132–1138
- Seifert N, Moyer D, Leland N, *et al.* Historical Trends in Alpha-Particle Induced Soft Error Rates of the Alpha Microprocessor. Proceeding of 38th International Reliability Physics Symposium, 2000. 259–265
- Hareland S, Maiz J, Alavi M, *et al.* Impact of CMOS Process Scaling and SOI on Soft Error Rates of Logic Processors. Proceeding of Symposium on VLSI Technology, 2001. 73–74
- Marshall P W, Dale C J, Weatherford T R, *et al.* IEEE

- Trans Nucl Sci, 1995, 42(6): 1844–1849
- 19 Reed R A, Carts M A, Marshall P W, *et al.* IEEE Trans Nucl Sci, 1996, 43(6): 2862–2867
 - 20 Diehl S E, Vinson J E, Shafer B D, *et al.* IEEE Trans Nucl Sci, 1983, 30(6): 4501–4507
 - 21 Reed R A, Weller R A, Mebdenhall M H, *et al.* IEEE Trans Nucl Sci, 2007, 54(6): 2312–2319
 - 22 Dodd P E, Shaneyfelt M R, Schwank J R, *et al.* Neutron-induced latchup in SRAMs at ground level. Proc IRPS, 2003. 51–55
 - 23 Mavis D G, Eaton P H. SEU and SET modeling and mitigation in deep submicron technologies IEEE 45th Annual International Reliability Physics Symposium, Phoenix, 2007
 - 24 梁斌. 数字集成电路中单粒子瞬态脉冲的产生与传播. 博士论文. 国防科学技术大学, 2008
Liang bin, production and propagation of digital single event transient, adissertaion for the degree of doctor of Engineering. 2008
 - 25 Turowski M, Raman A, Jablonski G. Mixed-Mode Simulation and Analysis of Digital Single Event Transients in Fast CMOS ICs. Proceeding of 14th International Conference on Mixed Design of Integrated Circuits and Systems, 2007
 - 26 Felix J A, Shaneyfet M R, Schwank J R, *et al.* IEEE Trans Nucl Sci, 2008, 55(6): 2182–2189
 - 27 Dodd P E, Schwank J R, Shaneyfelt M R, *et al.* IEEE Trans Nucl Sci, 2007, 54(6): 2303–2311
 - 28 Swift G M, Allen G R, Tseng C W, *et al.* IEEE Radiation Effects Data Workshop, 2008, 55(4): 98–105
 - 29 McMorrow D, Weatherford T R, Buchner S, *et al.* IEEE Transactions on Nuclear Science, 1996, 43(2): 628–644
 - 30 Mainmon J D, Hunt K K, Burcin L, *et al.* IEEE Trans Nucl Sci, 2003, 50(6): 1878–1884
 - 31 Kevin W, Lloyd M, Ron S, *et al.* IEEE Trans Nucl Sci, 1999, 46(6): 1363
 - 32 Xapsos M A, Burke E A, Badavi F F, *et al.* IEEE Trans Nucl Sci, 2004, 51(6): 3250
 - 33 Dodds N A, Reed R A, Mendenhall M H, *et al.* IEEE Trans Nucl Sci 2009, 56(6): 3172
 - 34 Yui C, Swift G, Carmichael C. Single Event Upset Susceptibility Testing of theXilinx Virtex-II FPGA, MAPLD 2002, Maryland, 2002
 - 35 Sexton F W, Fu F W, Kohler J S. IEEE Trans Nucl Sci, 1989, 36(6): 2311–2319
 - 36 Sterpone L, Violante M. IEEE Trans Nucl Sci, 2005, 52(6): 2217–2235
 - 37 Battezzati N. Analysis of SET Propagation in Flash-based FPGAs by means of Electrical Pulse Injection. 2009 Radiation Effects on Components and Systems, 2009
 - 38 Diez S. IEEE Trans Nucl Sci, 2009, 56(4): 1564–1573
 - 39 Cheng P, Pellish J A, *et al.* IEEE Trans Nucl Sci, 2009, 56(6): 2312–2320
 - 40 Pellish J A, Reed R A, *et al.* IEEE Trans Nucl Sci, 2009, 56(6): 3078–3084

Future challenges in single event effects for advanced CMOS technologies

GUO Hongxia WANG Wei LUO Yinhong ZHAO Wen GUO Xiaoqiang ZHANG Keying

(Northwest Institute of Nuclear Technology, Xi'an 710024, China)

Abstract SEE have become a substantial Achilles heel for the reliability of space-based advanced CMOS technologies with features size downscaling. Future space and defense systems require identification and understanding of single event effects to develop hardening approaches for advanced technologies, including changes in device geometry and materials affect energy deposition, charge collection, circuit upset, parametric degradation devices. Topics covered include the impact of technology scaling on radiation response, including single event transients in high speed digital circuits, evidence for single event effects caused by proton direct ionization, and the impact for SEU induced by particle energy effects and indirect ionization. The single event effects in CMOS replacement technologies are introduced briefly.

Key words SET, SER, SEFI

CLC TL99, TN47